

DERWENT-ACC-NO: 1999-533374

DERWENT-WEEK: 199945

COPYRIGHT 2006 DERWENT INFORMATION LTD

**TITLE: TFT drive circuit for electroluminescence display device
- has electroluminescence element between anode and
cathode mounted on substrate and double gate structure
for one TFT with source connected to gate of another TFT**

PATENT-ASSIGNEE: SANYO ELECTRIC CO LTD[SAOL]

PRIORITY-DATA: 1998JP-0028706 (February 10, 1998)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP <u>11231805</u> A	August 27, 1999	N/A	005	G09F 009/30

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 11231805A	N/A	1998JP-0028706	February 10, 1998

INT-CL (IPC): G09F009/30, H05B033/26

ABSTRACTED-PUB-NO: JP 11231805A

BASIC-ABSTRACT:

NOVELTY - Electroluminescence element (60) provided between anode and cathode is mounted on a substrate. A thin film transistor (TFT) (30) with double gates (31,32) has gate and drain electrodes connected to respective signal lines. Gate (41) and drain of another TFT (40) are connected to source of TFT (30)

**and
power supply (50), respectively.**

USE - For electroluminescence display device.

ADVANTAGE - The brightness specification of the device is determined by display

pixel. Due to reduction of leak current by LDD structure, there is no degradation of reliability. DESCRIPTION OF DRAWING(S) - The diagram depicts

equivalent circuit of display device. (30,40) Thin film transistors; (31,32,41) Gates; (50) Power supply; (60) Electroluminescence element.

CHOSEN-DRAWING: Dwg.2/5

**TITLE-TERMS: TFT DRIVE CIRCUIT ELECTROLUMINESCENT DISPLAY
DEVICE**

**ELECTROLUMINESCENT ELEMENT ANODE CATHODE MOUNT
SUBSTRATE DOUBLE**

GATE STRUCTURE ONE TFT SOURCE CONNECT GATE TFT

DERWENT-CLASS: P85 U14 X26

EPI-CODES: U14-H01A; U14-J03; X26-J;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1999-396079

PAT-NO: JP411231805A

DOCUMENT-IDENTIFIER: JP 11231805 A

TITLE: DISPLAY DEVICE

PUBN-DATE: August 27, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
MATSUDA, YOJI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SANYO ELECTRIC CO LTD	N/A

APPL-NO: JP10028706

APPL-DATE: February 10, 1998

INT-CL (IPC): G09F009/30, H05B033/26

ABSTRACT:

PROBLEM TO BE SOLVED: To suppress a leak current to keep the electric potential of a gate electrode of a second thin film transistor constant and to allow a light emitting display picture element to emit light with luminance to emit by forming a first thin film transistor into double gate structure.

SOLUTION: Both first and second thin film transistors 30, 40 are top gate type thin film transistors with gate electrodes provided on active layers 3.

Two gates 31, 32 are provided on the active layer 3 through an insulating film 7, so that the first thin film transistor 30 has double gate structure. The active layer directly below the respective gates 31, 32 is provided with channel regions 3; areas 4 with impurity filled, on both sides of each channel area 3; a source area 5 higher in impurity concentration than the areas 4; and a drain area 6. A leak current of the first thin film transistor 30 can therefore be suppressed, and electric potential can be maintained constant without electric potential of the gate electrode 41 being changed following the change of a drain signal.

COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-231805

(43)公開日 平成11年(1999) 8月27日

(51)Int.Cl.⁶

識別記号

F I

G 0 9 F 9/30

3 6 5

G 0 9 F 9/30

3 6 5 Z

H 0 5 B 33/26

H 0 5 B 33/26

Z

審査請求 未請求 請求項の数2 O L (全 5 頁)

(21)出願番号

特願平10-28706

(22)出願日

平成10年(1998) 2月10日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 松田 洋史

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

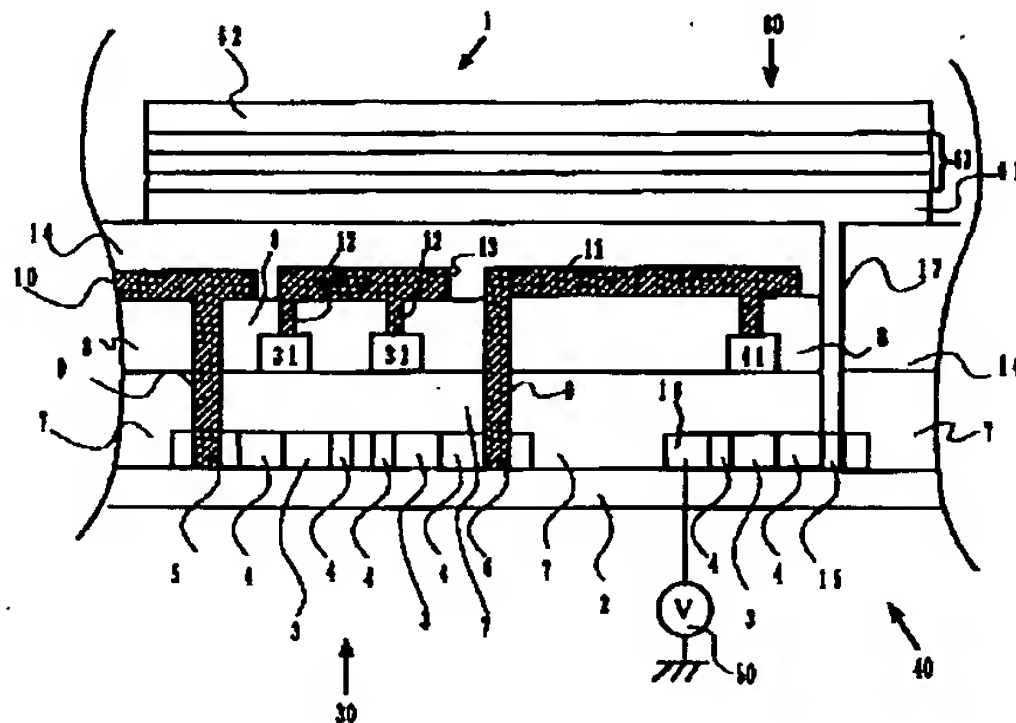
(74)代理人 弁理士 安富 耕二 (外1名)

(54)【発明の名称】 表示装置

(57)【要約】

【課題】 発光する表示画素が発光すべき輝度で発光する表示装置を提供する。

【解決手段】 基板上に、陽極、陰極及び該両電極の間に挟まれた発光素子層から成るEL素子と、ドレイン電極がドレイン信号線に、ゲート電極がゲート信号線にそれぞれ接続された第1の薄膜トランジスタと、ソース電極が前記陽極に、ドレイン電極が電源に、ゲート電極が前記第1の薄膜トランジスタのソース電極に接続された第2の薄膜トランジスタと、を備えて成る表示装置において、前記第1の薄膜トランジスタをダブルゲート構造とする。これにより、第1のTFTのリーク電流を抑制して第2のTFTのゲート電極の電位を一定に保つことができる。



【特許請求の範囲】

【請求項1】 基板上に、陽極、陰極及び該両電極の間に挟まれた発光素子層から成るエレクトロルミネッセンス素子と、ドレイン電極がドレイン信号線に、ゲート電極がゲート信号線にそれぞれ接続された第1の薄膜トランジスタと、ソース電極が前記陽極に、ドレイン電極が電源に、ゲート電極が前記第1の薄膜トランジスタのソース電極に接続された第2の薄膜トランジスタと、を備えて成る表示装置において、

前記第1の薄膜トランジスタはダブルゲート構造を有することを特徴とする表示装置。

【請求項2】 前記第1及び第2の薄膜トランジスタのうち少なくとも一方はLDD構造を有することを特徴とする請求項1記載の表示装置。

【発明の詳細な説明】

【発明の属する技術分野】本発明は、基板上にエレクトロルミネッセンス素子及び薄膜トランジスタを備えた表示装置に関する。

【従来の技術】近年、エレクトロルミネッセンス(Electro Luminescence: 以下、「EL」と称する。)素子を用いた表示装置が、CRTやLCDに代わる表示装置として注目されており、例えば、そのEL素子を駆動させるスイッチング素子として薄膜トランジスタ(Thin Film Transistor: 以下、「TFT」と称する。)を備えた表示装置の研究開発も進められている。図4に、従来のEL素子及びTFTを備えた表示装置の等価回路図を示す。同図は、第1のTFT130、第2のTFT140及び有機EL素子160からなる表示装置の等価回路図であり、第n行及び第n+1行のゲート信号線Gn、Gn+1と第m列及び第m+1列のドレイン信号線Dm、Dm+1付近を示している。ゲート信号を供給するゲート信号線Gn、Gn+1とドレイン信号を供給するドレイン信号線Dm、Dm+1とが直交しており、両信号線の交差点付近には、有機EL素子160及びこの有機EL素子160を駆動するTFT130、140が設けられている。スイッチング用のTFTである第1のTFT130は、ゲート信号線Gn、Gn+1に接続されておりゲート信号が供給されるゲート電極131と、ドレイン信号線Dm、Dm+1に接続されておりドレイン信号が供給されるドレイン電極132と、第2のTFT140のゲート電極141に接続されているソース電極133とからなる。有機EL素子駆動用のTFTである第2のTFT140は、第1のTFT130のソース電極133に接続されているゲート電極141と、有機EL素子160の陽極161に接続されたソース電極142と、有機EL素子160に供給される電源150に接続されたドレイン電極143とから成る。また、有機EL素子160は、ソース電極142に接続された陽極161と、コモン電極164に接続された陰極162、及びこの陽極161と陰極162との間に挟まれた発光素

子層163から成る。なお、上述のTFTは、いずれもゲートが1つのシングルゲート構造である。ここで、図4の等価回路図に示す回路の駆動方法について、図5に示す各信号のタイミングチャートに基づいて説明する。図5(a)は第n行の第1のTFT130のゲート電極に供給される信号VG(n)1の、同(b)は第n+1行の第1のTFT130のゲート電極に供給される信号VG(n+1)1の、同(c)はドレイン信号線Dmのドレイン信号VDの、同(d)は第n行の第2のTFT140のゲート電極に供給される信号VG(n)2の、(e)は第n+1行の第2のTFT140のゲート電極VG(n+1)2の信号のそれぞれのタイミングチャートを示す。第n行のゲート信号線Gnに注目して見ると、図5(a)に示すゲート信号線Gnからのゲート信号VG(n)1がゲート電極131に印加されると、第1のTFT130がオンになる。そのため、ドレイン信号線Dmから図5(c)に示すドレイン信号がゲート電極141に供給され、ゲート電極141の電位がドレイン信号線Dの電位と同電位になる。そしてゲート電極141に供給された電流値に相当する電流が電源150から有機EL素子160に供給される。それによって有機EL素子160は発光する。

【発明が解決しようとする課題】第1のTFT130がオンの期間には、ドレイン信号線Dmの電位と同電位になるまで電流が流れてゲート電極141のゲート容量に電荷が蓄積される。そして、第1のTFT130がオフになると、そのゲート容量に蓄積された電荷はその状態を維持し、ゲート電位は、図5(d)の点線で示すように言って位置になるはずである。しかしながら、上述の従来の表示装置ではTFTのオフ時にリーク電流が流れるため、ドレイン信号VDが図5(c)に示すように1水平期間(1H)毎に変化すると、ゲート電極141の電位VG(n)2は、図5(d)の実線に示すように変化してしまい、一定値とならない。同様に、第n+1行のゲート信号線Gn+1についても、図5(e)に示すようにゲート電極141の電位が一定でなくなる。即ち、図5(d)の実線に示すように1)ドレイン信号線Dmの電位がゲート電極141に供給された電位よりも低い場合には、第1のTFT130を介してドレイン信号線Dmにリーク電流が流れてゲート電極141の電位が低下し、2)ドレイン信号線Dmの電位がゲート電極141に供給された電位よりも高い場合には第1のTFT130を介してゲート電極141にリーク電流が流れ電荷が更に蓄積されてゲート電極141の電位が高くなる。そうすると、1)の場合には、本来有機EL素子160に流れるべき電流よりも大きい電流が流れることになり有機EL素子の輝度が高くなってしまい、2)の場合には、逆に輝度が低くなってしまふ。1)、2)いずれの場合にも、第1のTFT130のリーク電流が大きいと、発光する表示画素が発光すべき輝度で発光することが困難であるという欠点があった。また、有機EL素子

を発光させるために、ゲート電極141に電位が供給されている間中、有機EL素子160に電流が供給されるので、特に第2のTFT140は、TFTのチャネル部における電界密度の集中が著しくなりTFTの劣化が生じるという欠点もあった。そこで本発明は、上記の従来の欠点に鑑みて為されたものであり、第1のTFT130のリーク電流を抑制して第2のTFT140のゲート電極141の電位を一定に保つことにより、発光する表示画素が発光すべき輝度で発光する表示装置を提供することを目的とする。

【課題を解決するための手段】本発明の表示装置は、基板上に、陽極、陰極及び該両電極の間に挟まれた発光素子層から成るエレクトロルミネッセンス素子と、ドレイン電極がドレイン信号線に、ゲート電極がゲート信号線にそれぞれ接続された第1の薄膜トランジスタと、ソース電極が前記陽極に、ドレイン電極が電源に、ゲート電極が前記第1の薄膜トランジスタのソース電極に接続された第2の薄膜トランジスタと、を備えて成る表示装置において、前記第1の薄膜トランジスタはダブルゲート構造を有するものである。また、前記第1と第2のTFTのうち少なくともいずれか一方がLDD構造を有するものである。

【発明の実施の形態】本発明の表示装置について以下に説明する。図1は、本発明の実施の形態の有機EL素子及びTFTを備えた表示装置の1つの画素を示す断面図である。同図に示す如く、表示画素1は、ガラスや合成樹脂などから成る基板又は導電性を有する基板あるいは半導体基板等の基板2上に、TFT及び有機EL素子を順に積層形成して成る。ただし、基板2として導電性を有する基板及び半導体基板を用いる場合には、これらの基板2上にSiO₂やSiNなどの絶縁膜を形成した上にTFTを形成する。TFTは、本実施の形態においては、第1及び第2のTFT30、40ともに、ゲート電極を能動層3の上に設けたいわゆるトップゲート型のTFTであり、能動層として多結晶シリコン(Poly-Silicon、以下、「p-Si」と称する。)膜を用いている。まず、スイッチング用のTFTである第1のTFT30について説明する。基板2上にp-Si膜からなる能動層を設け、この能動層上にはゲート絶縁膜7を介して2つのゲート、即ちゲート31とゲート32が設けられており、第1のTFT30はいわゆるダブルゲート構造を有している。この各ゲート31、32の直下の能動層には、チャネル領域3、そのチャネル領域3の両側に不純物を注入した領域4、更にこの領域4よりも不純物濃度が高いソース領域5及びドレイン領域6を備えている。こうして第1のTFT30はいわゆるLDD(Lightly Doped Drain)構造を有している。この第1のTFT30の全面に層間絶縁膜8を設けた後、ソース領域5及びドレイン領域6に対応した位置のゲート絶縁膜7及び層間絶縁膜8にコンタクトホール9を設ける。そしてA1

等の金属をそのコンタクトホール9に充填してソース領域5とコンタクトしたソース電極10、及びドレイン領域6とコンタクトしたドレイン電極11を形成する。このドレイン電極11は、第2のTFT40のゲート41に接続されている。また、層間絶縁膜8にコンタクトホール12を設け、ソース電極10及びドレイン電極11の形成と同時にゲート31、32を接続したゲート電極13を形成する。このゲート電極13、ソース電極10、ドレイン電極11及び層間絶縁膜8の上には、平坦化絶縁膜14が形成されている。次に、有機EL素子の駆動用のTFTである第2のTFT40について説明する。第1のTFT40と同様に、基板2にp-Siからなる能動層を設け、この能動層には、ゲート41直下にチャネル領域3、そのチャネル領域3の両側に不純物を注入した領域4、更に領域4より不純物濃度の高いソース領域15及びドレイン領域16を形成する。その上にはゲート絶縁膜7を介してゲート41を設ける。このように第2のTFT40はいわゆるLDD構造を有している。ソース領域15は第1のTFT30形成と同時に形成したゲート絶縁膜7及び層間絶縁膜8に設けたコンタクトホール17を介して有機EL素子60の陽極61に接続されている。ゲート41は第1のTFT30のドレイン電極11と接続されている。また、ドレイン電極16は電源50に接続されている。有機EL素子60は、一般的な構造であり、ITO(Indium Thin Oxide)等の透明電極から成る陽極61、MTDATA(4,4'-bis(3-methylphenylphenylamino)biphenyl)から成る第1ホール輸送層、TPD(4,4',4''-tris(3-methylphenylphenylamino)triphenylamine)からなる第2ホール輸送層、キナクリドン(Quinacridone)誘導体を含むBebq2(10-ベンゾ[h]キノリノール-ベリリウム錯体)から成る発光層及びBebq2から成る電子輸送層からなる発光素子層63、マグネシウム・インジウム合金から成る陰極62がこの順番で積層形成された構造である。また有機EL素子は、陽極から注入されたホールと、陰極から注入された電子とが発光層の内部で再結合し、発光層を形成する有機分子を励起して励起子が生じる。この励起子が放射失活する過程で発光層から光が放たれ、この光が透明な陽極から透明絶縁基板を介して外部へ放出されて発光する。図2に、本発明の表示装置の等価回路図を示し、図3に各信号のタイミングチャートを示す。図2は、第1のTFT30、第2のTFT40及び有機EL素子60からなる表示装置の等価回路図であり、第n行及び第n+1行のゲート信号線G_n、G_{n+1}と第m列及び第m+1列のドレイン信号線D_m、D_{m+1}付近を示している。なお、図3において、(a)は第n行の第1のTFTのゲート電極に供給される信号VG(n)1の、(b)は第n+1行の第1のTFTのゲート電極に供給される信号VG(n+1)1の、(c)は第m列のドレイン信号VDの、(d)は第n行の第2のTFT

5

のゲート電極の信号 $V_{G(n)2}$ の、(e)は第 $n+1$ 行の第2のTFTのゲート電極の信号 $V_{G(n+1)2}$ のそれぞれのタイミングチャートを示す。図2に示す如く、ゲート信号を供給するゲート信号線 G_n 、 G_{n+1} と、ドレイン信号を供給するドレイン信号線 D_m 、 D_{m+1} との直交部付近に、上述の第1のTFT30、40及び有機EL素子60とから成る表示画素1が形成されている。第 n 行のゲート信号線 G_n に注目してみると、図3(a)に示すようにゲート信号線 G_n に接続されたゲート31、32にゲート信号が供給されると第1のTFT30が1水平期間(1H)オン状態を保ちその後オフになる。そのオン状態になったとき図3(d)に示すようにドレイン信号線 D_m から図3(c)に示すドレイン信号がソース電極34を介してゲート電極41に供給されゲート電極41の電位がドレイン信号線 D_m の電位と同電位になる。こうしてゲート電極41に電位が供給されると第2のTFT40がオン状態となり、ゲート電極41の電流値に相当する電流が電源50からドレイン電極42及びソース電極43を介して有機EL素子60の陽極61に供給される。そうして有機EL素子60が発光する。このように構成された表示画素1が基板2上にマトリクス状に配置されることにより、表示装置が形成される。以上のように、本実施の形態では、第1のTFT30がダブルゲート構造及びLDD構造とを併せて有するので、第1のTFTのリーク電流を抑制することができるため、図3(c)に示すようにドレイン信号が1Hごとに変化するのに追従して、図3(d)の点線で示す従来のようにゲート電極41の電位が変化することなく、実線で示したように電位を一定に保つことができる。同様に、第 $n+1$ 行のゲート信号線 G_{n+1} についても、図3(e)の実線で示すように、ゲート電極41の電位を一定に保つことができる。即ち、発光する表示画素に発光すべき電流を安定して有機EL素子に供給することができる。なお言うまでもなく、第1のTFTがダブルゲート構造のみを有する場合でもリーク電流を抑制することができる。また、第2のTFT40がLDD構造を有しているので、チャネル端部に発生する電界密度の集

6

中を緩和できる。即ち、図3(d)のようにゲート電極41に1フレーム期間一定の電位を保持し電流を供給して有機EL素子60を発光させてもTFTが劣化することを防止できる。従って、安定した表示を得ることができるとともに信頼性の向上した表示装置を提供することができる。なお、本実施の形態においては、第1及び第2のTFT30、40ともに、ゲート電極を能動層3の上に設けたいわゆるトップゲート型のTFTについて説明したが、ゲート電極が能動層の下にあるいわゆるボトムゲート型TFTでも良い。また、能動層として多結晶シリコン膜を用いたが、微結晶シリコン膜又は非品質シリコンを用いても良い。

【発明の効果】本発明の表示装置は、第1のTFTはダブルゲート構造を有するものであるので、第1のTFTのリーク電流を抑制して第2のTFTのゲート電極の電位を一定に保つことができ、発光する表示画素が発光すべき輝度で発光する表示装置を得ることができる。また、LDD構造を有するTFTを備えているので、リーク電流を抑制することができるとともに、チャネル端部における電界密度を緩和できTFTの劣化を防ぎ信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の表示装置の断面図である。

【図2】本発明の表示装置の等価回路図である。

【図3】本発明の表示装置の各信号のタイミングチャートである。

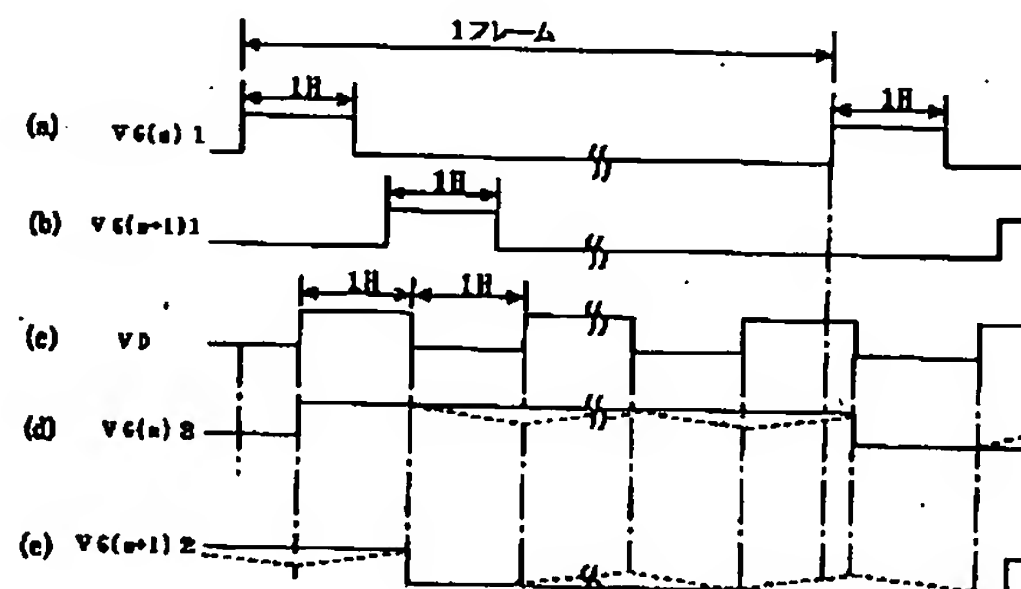
【図4】従来の表示装置の等価回路図である。

【図5】従来の表示装置の各信号のタイミングチャートである。

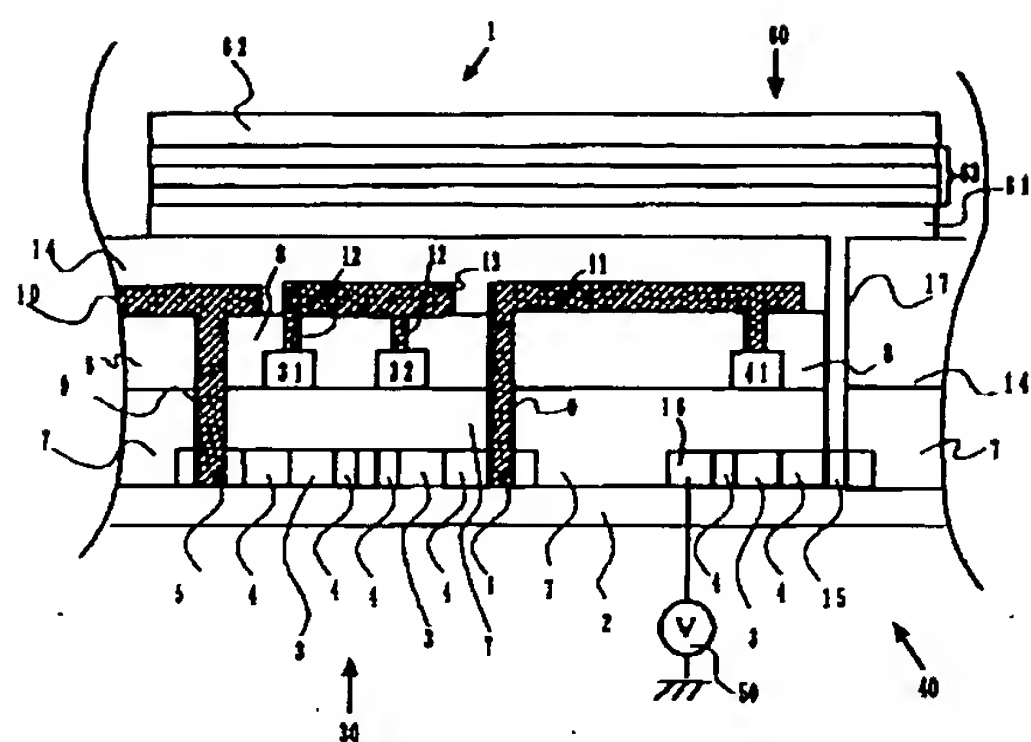
【符号の説明】

1	表示画素
31、32、41	ゲート
30	第1のTFT
40	第2のTFT
50	電源
60	有機EL素子

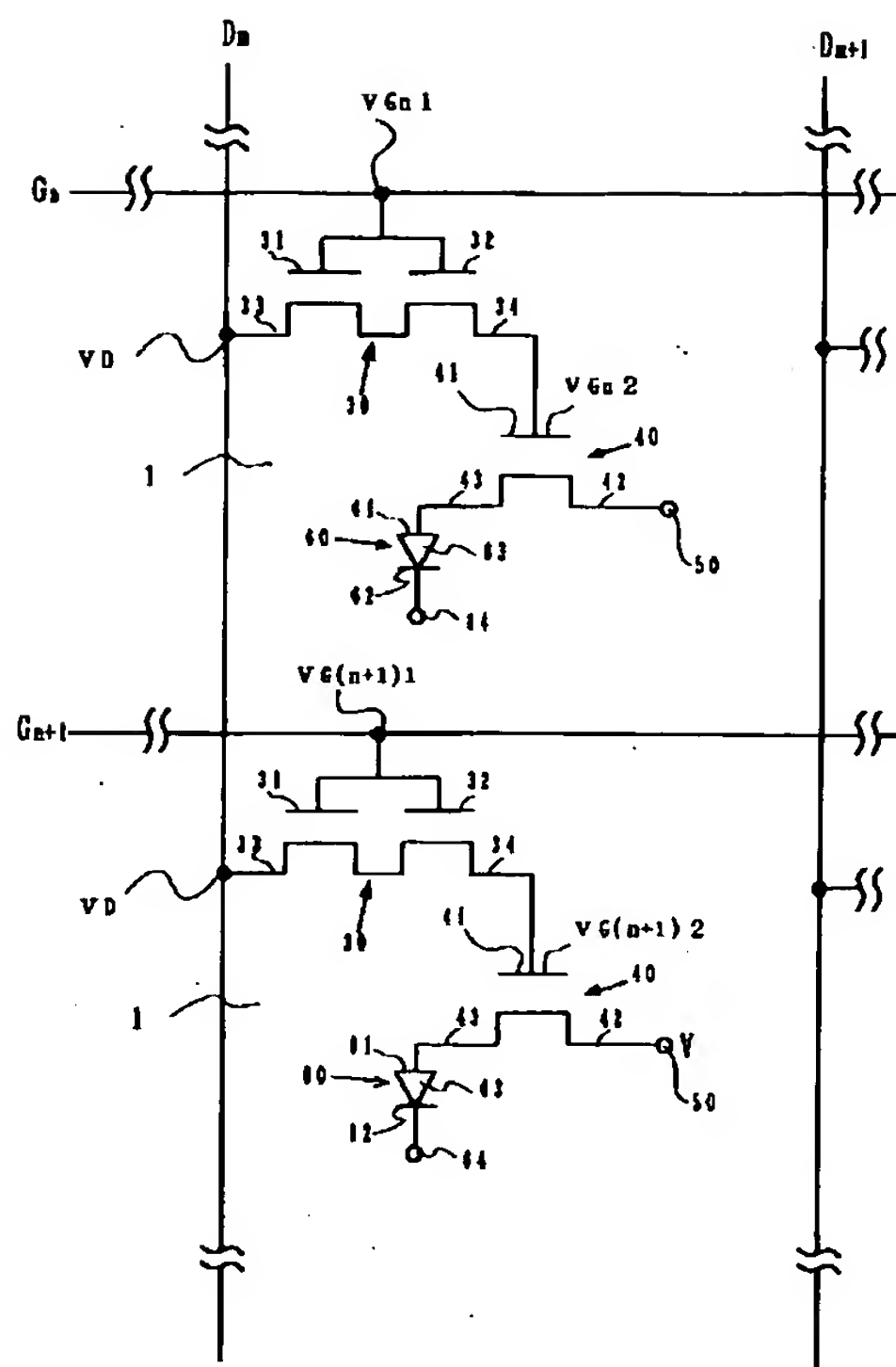
【図3】



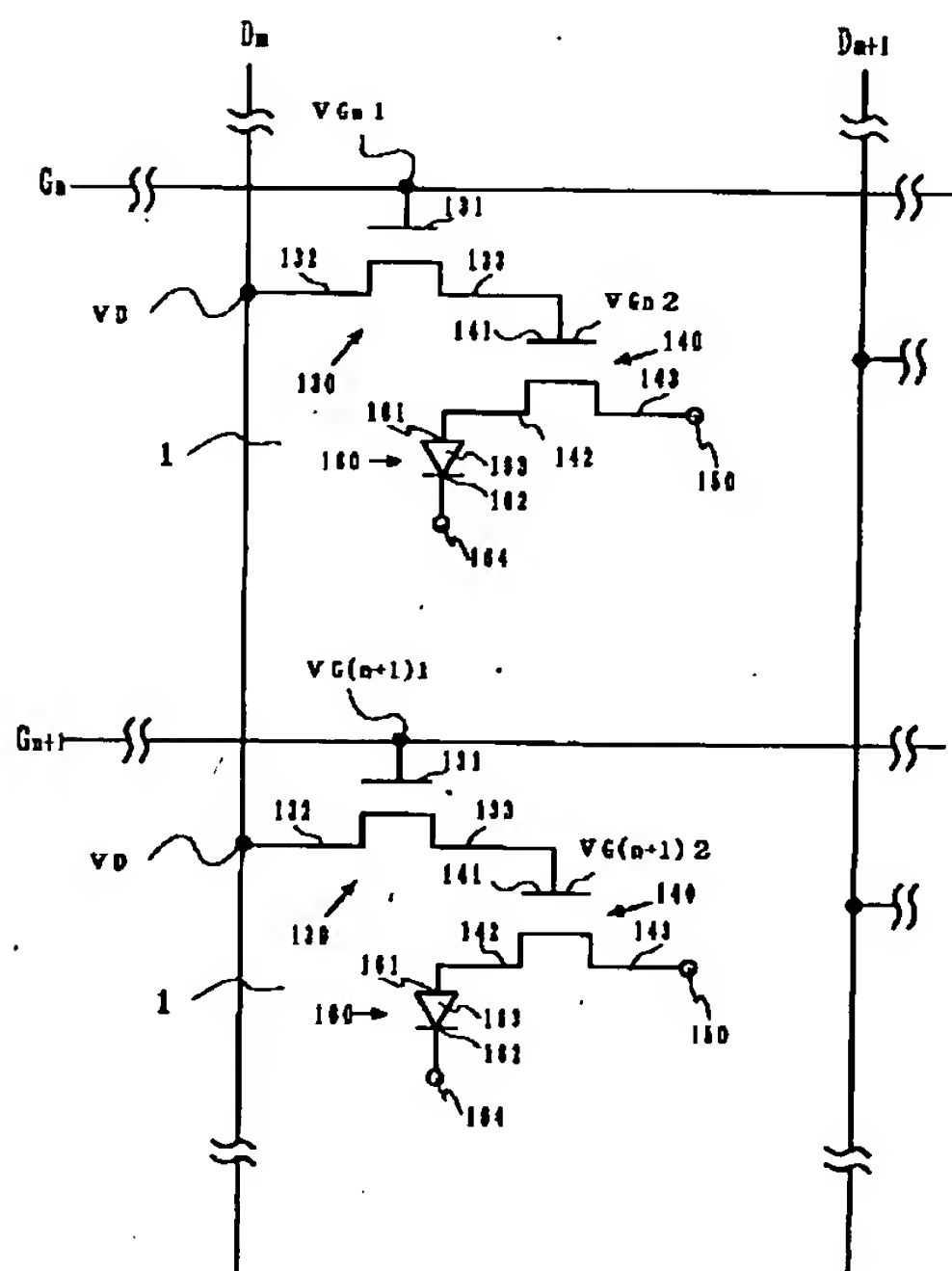
【図1】



【図2】



【図4】



【図5】

